

2634  
Pw / B

Docket No.: GR 98 P 1048 P

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to the Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date indicated below.

By

Date

February 28, 2005

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applic. No.	: 09/619,973	Confirmation No: 2926
Applicant	: Armin Pitzer, et al.	
Filed	: July 20, 2000	
Art Unit	: 2634	
Examiner	: Eva Y. Zheng	
Title	: Digitally Controlled Circuit for Reducing the Phase Modulation of a Signal	
Docket No.	: GR 98 P 1048 P	
Customer No.	: 24131	
Date of Notice of Allowance:	November 19, 2004	

PETITION UNDER 37 CFR 1.55(a)

Commissioner for Patents,  
P.O. Box 1450, Alexandria, VA 22313-1450  
Sir:

The Issue Fee in the instant application was paid on February 22, 2005. Undersigned counsel has now received the enclosed priority document.

Applicant herewith petitions that the German priority document 198 02 001.5 dated January 20, 1998 be entered of record in the instant application.

Claim for priority is herewith made.

The petition fee under 37 CFR 1.17(i) in the amount of \$130.00 is enclosed herewith.

Respectfully submitted,

  
\_\_\_\_\_  
Laurence A. Greenberg  
Reg. No. 29,308

Date: February 28, 2005

LERNER AND GREENBERG, P.A.  
POST OFFICE BOX 2480  
HOLLYWOOD, FL 33022-2480  
TEL: (954) 925 - 1100  
FAX: (954) 925 - 1101

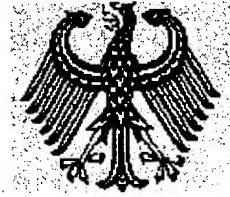
/av

03/04/2005 CCHAU1 00000004 09619973

01 FC:1464

130.00 0P

# BUNDESREPUBLIK DEUTSCHLAND



## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**Aktenzeichen:** 198 02 001.5

**Anmeldetag:** 20. Januar 1998

**Anmelder/Inhaber:** Siemens Aktiengesellschaft, 80333 München/DE


**Bezeichnung:** Digital gesteuerte Schaltung zur Verringerung der  
Phasenmodulation eines Signals

**IPC:** H 03 L, H 03 K

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 24. Februar 2005  
Deutsches Patent- und Markenamt  
Der Präsident  
Im Auftrag

CERTIFIED COPY OF  
PRIORITY DOCUMENT

  
Wehner



20000000

## Beschreibung

Digital gesteuerte Schaltung zur Verringerung der Phasenmodulation eines Signals.

5

Die vorliegende Erfindung betrifft eine digital gesteuerte Schaltung zur Verringerung der Phasenmodulation (Jitter) eines Signals. Gleichzeitig kann mit der vorliegenden Schaltung eine Taktratenumwandlung durchgeführt werden.

10

Die Phasenmodulation eines Signals wird in der Fachsprache üblicherweise als "Jitter" bezeichnet. Der Jitter ist meist sinusförmig und wird durch eine Jitter-Frequenz und eine Jitter-Amplitude bestimmt.

15

Bei der digitalen Signalverarbeitung wird beabsichtigt, möglichst ohne analoge Komponenten auszukommen. Insbesondere soll erreicht werden, daß die Schaltungen vollständig in einer integrierten Schaltung ohne externe Komponenten aufgebaut werden können. Schaltungen zur Verringerung der Phasenmodulation (Jitter-Attenuatoren) gemäß dem Stand der Technik benötigen üblicherweise externe Komponenten. Dadurch entstehen zusätzliche Technologie- und Temperaturabhängigkeiten und Nichtlinearitäten der externen Komponenten. Gleichzeitig wird mehr Platz auf der Platine verbraucht und es entstehen höhere Kosten. Die bekannten Jitter-Attenuatoren beinhalten immer noch analoge Schaltungen. Dadurch entstehen weitere Technologieabhängigkeiten, Nichtlinearitäten in dem Jitter-Dämpfungsverhalten und unter Umständen auch Resonanzprobleme.

30

Es sind zwar bereits digitale Jitter-Attenuatoren bekannt, beispielsweise aus der US 5 493 243 A1. Diese weisen jedoch einen relativ großen "Intrinsic-Jitter", d.h. eine systemimmanente Phasenmodulation, auf. Die bekannten digitalen Jitter-Attenuatoren besitzen darüber hinaus ein phasendifferenzabhängiges Korrekturintervall und kein zeitkontinuierliches Erfassen und Auswerten der Phasendifferenz.

35

Es ist daher Aufgabe der vorliegenden Erfindung, einen phasenmodulationsfreien (entjitterten) Takt (Clock) digital und ohne die Nutzung externer Komponenten zu generieren, dessen  
5 Qualität so gut ist, daß er für E1/T1-Applikationen im Frequenzbereich von 2,048/1,544 MHz eingesetzt werden kann.

Erfindungsgemäß wird diese Aufgabe mit einem Vielphasen-Taktgenerator, der N-Phasen eines Takts erzeugt, der das M-fache des verjitterten Signals beträgt und einem Multiplexer mit N-Eingängen für die N-Phasen des Takts und einem Ausgang, der das Ausgangssignal liefert, gelöst, wobei das Ausgangssignal und das verjitterte Signal mit den Eingängen eines Phasenkomparators verbunden sind, dessen Ausgangssignal einem  
15 Sigma-Delta-Modulator zugeführt wird, dessen Ausgangssignale zur Steuerung des Multiplexers dienen. Grundsätzlich sind Sigma-Delta-Modulatoren bekannt. Bisher wurden diese Modulatoren jedoch im Stand der Technik nur zur Gewinnung nicht ganzzahliger Bruchteile von Frequenzen genutzt. Das Prinzip  
20 des Sigma-Delta-Modulators basiert auf der Phasenfehler-Akkumulation. Mit jedem Grundtakt wird der Phasenfehler zwischen dem Grundtakt und dem von der Regelung geforderten Takt neu berechnet und gleichzeitig ausgewertet.

25 Um auch größere Phasendifferenzen verarbeiten zu können, ist es bevorzugt, zwischen dem Phasenkomparator und dem Sigma-Delta-Modulator einen Phasendifferenzakkumulator und einen Phasendifferenztransformer anzuordnen.

30 Sofern kein ganzzahliges Verhältnis zwischen dem Mastertakt und dem verjitterten Signal vorliegt, wird das verjitterte Signal über einen weiteren Sigma-Delta-Modulator zur Taktratenumwandlung dem entsprechenden Eingang des Phasenkomparators zugeführt.

35

Dabei ist es zur Herabsetzung der Power Consumption und der Geschwindigkeitsanforderungen an die Bauelemente von Phasen-

differenzakkumulator, Phasendifferenztransformer und Sigma-Delta-Modulator bevorzugt, das Ausgangssignal über eine Teilerschaltung herabzusetzen, und das herabgesetzte Ausgangssignal dem Phasendifferenzakkumulator und dem Sigma-Delta-Modulator zuzuführen. Die Ausgangssignale des Sigma-Delta-Modulators werden über eine Flankenerkennungsschaltung dem Multiplexer und der Teilerschaltung zugeführt werden, wobei diese Flankenerkennungsschaltung von dem Mastertakt-Ausgangssignal angesteuert werden.

Es ist dabei besonders bevorzugt, daß das Teilverhältnis der Teilerschaltung dem Verhältnis von dem Ausgangssignal zu dem verjitterten Signal, gegebenenfalls nach der Taktratenumwandlung durch den weiteren Sigma-Delta-Modulator, entspricht.

Der Sigma-Delta-Modulator zur Unterdrückung der Phasenmodulation kann besonders günstig und einfach als Binäraddierer ausgeführt werden, der die vom Phasenkomparator kommenden Werte aufaddiert, und die Überlauf- bzw. Unterlaufausgänge des Addierers können dann direkt zur Erzeugung der Korrekturbefehle dienen.

Der Phasendifferenzakkumulator weist vorzugsweise eine Schaltung zur Erkennung eines Über- oder Unterlaufs des Phasendetektors auf, deren Ausgang mit einem Zähler verbunden ist, der bei jedem Überlauf hoch- und bei jedem Unterlauf heruntergezählt wird.

Die Erfindung wird im folgenden anhand des in den Zeichnungen dargestellten Ausführungsbeispiels näher erläutert. Es zeigen:

**FIGUR 1** ein grobes Blockschaltbild einer erfindungsgemäßen Schaltung;

**FIGUR 1a** eine ergänzte Version des Schaltbildes der Figur 1;

FIGUR 2 ein Blockschaltbild des Phasendifferenzakkumulators der vorliegenden Schaltung;

5 FIGUR 3 ein Blockschaltbild des Sigma-Delta-Modulators für die Phasenmodulationsdämpfung;

FIGUR 4 ein Blockschaltbild des Sigma-Delta-Modulators zur Taktratenumwandlung; und

10

FIGUR 5 ein Blockschaltbild der Teiler- und Multiplexeransteuerschaltung.

Figur 1 zeigt das grobe Blockschaltbild einer erfindungsgemä-  
15 ßen digital gesteuerten Schaltung zur Verringerung der Phasenmodulation eines Signals einschließlich einer Taktratenumwandlung unter Benutzung eines Sigma-Delta-Modulators. Ein verjittertes Eingangssignal SYNC wird dabei mit einem Master-  
takt MCLK verglichen. Letzterer stellt gleichzeitig das Aus-  
gangssignal der Schaltung dar. Die ermittelte Phasendifferenz  
20 wird in einem Sigma-Delta-Modulator integriert. Das Prinzip des Sigma-Delta-Modulators basiert auf der Phasenfehler-Akkumulation. Mit jedem Grundtakt wird der Phasenfehler zwischen MCLK und dem von der Regelung geforderten MCLK neu be-  
rechnet und gleichzeitig ausgewertet. Es soll damit ein ent-  
25 jitterter Clock MCLK digital und ohne die Nutzung externer Komponenten generiert werden, der für E1/T1-Applikationen im Frequenzbereich von 2,048/1,544 MHz oder Vielfachem davon be-  
nötigt wird.

30

Die Schaltung 10 wird mit einem Referenztakt REF-CLK ver-  
sorgt, der eine beliebige und auch beliebig schwankende Pha-  
senlage gegenüber dem Eingangssignal SYNC hat. Bei dem vor-  
liegenden Ausführungsbeispiel kann der Referenztakt eine Fre-  
35 quenz von 16,384 oder 12,352 MHz haben. Dieser Referenztakt wird einem Multiphasentaktgenerator 12, der als Ringoszillator realisiert ist, zugeführt. Dieser erzeugt die vierfache

Frequenz (4 x REF-Clock) in vier jeweils um 90 Grad versetzten Phasenlagen. Es liegen also am Ausgang des Multiphasentaktgenerators 12 vier um jeweils 90 Grad Phasenlage beabstandete Taktsignale mit 65 bzw. 49 MHz vor. Diese vier Signale werden einem Multiplexer 14 zugeführt, der eines der Signale auswählt, und dieses einer Teilerschaltung 16 zugeführt. Die Teilerschaltung 16 setzt die Taktrate auf 1/4 herab und steuert gleichzeitig den Zeitpunkt, zu dem Auswahlssignale an den Multiplexer 14 weitergeleitet werden. Aufbau und Funktion der Teilerschaltung 16 werden weiter unten im einzelnen beschrieben.

Das Ausgangssignal MCLK wird einem Phasenkomparator 18 zugeführt. Dieser Phasenkomparator 18 verfügt über einen weiteren Eingang, an dem das verjitterte Eingangssignal SYNC anliegt. Sofern die Frequenz des Eingangssignals SYNC nicht ein Achtel der Frequenz MCLK beträgt, wird das Eingangssignal SYNC zuerst einem Sigma-Delta-Modulator 20 zugeführt, der der Anpassung der Frequenz des Eingangssignals SYNC auf 1/8 der Frequenz MCLK dient. Die Funktion dieses Sigma-Delta-Modulators 20 wird im einzelnen weiter unten erläutert.

Der Phasenkomparator 18 ermittelt die Phasendifferenz zwischen dem Mastertakt MCLK und dem mehr oder weniger verjitterten SYNC-Takt. Die Phasendifferenz wird in  $2\pi/8$  Schritten aufgelöst, d.h. in Schritten von 45 von 360°. Der SYNC-Takt wird dabei eingangsseitig auf den MCLK-Takt synchronisiert. Mit Hilfe eines Zählers kann das Fehlen des SYNC-Taktes detektiert werden. In diesem Fall wird die gespeicherte Phasendifferenz gelöscht.

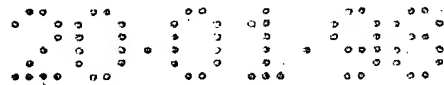
Herzstück des Phasenkomparators 18 ist ein 5 Bit-Zähler, der mit jedem MCLK-Takt dekrementiert wird. Mit jeder detektierten SYNC-Flanke wird 8 zum aktuellen Zählerstand addiert und das Ergebnis in einem Buffer gespeichert. Der in 2er-Komplement-Darstellung vorliegende Bufferwert repräsentiert die

Phasenabweichung in Schritten von  $2\pi/8$ . Der maximale speicherbare Phasendifferenzbetrag beträgt somit  $16 * 2\pi/8 = 4\pi$ .

Die tatsächlich auftretende Phasenabweichung ist in der Praxis aber wesentlich größer, es können Abweichungen von bis zu  $\pm 280\pi$  auftreten. Dabei wird immer ein sinusförmiger Jitterverlauf ohne Sprünge zugrundegelegt. Es ist somit erforderlich, den Detektionsbereich der Phasenabweichung zu vergrößern. Dies erfolgt dadurch, daß dem Phasenkomparator 18 ein Phasendifferenzakkumulator 22 nachgeschaltet ist. Dem Eingang des Phasendifferenzakkumulators 22 werden die 5 Bit-Phasendifferenz des Phasenkomparators 18 zugeführt. Im Phasendifferenzakkumulator 22 wird dieser 5 Bit-Wert der Phasendifferenz des Phasenkomparators 18 jeweils mit der vorhergehenden Differenz verglichen. Wird ein Überlauf (Wechsel von 11111 auf 00000) detektiert, wird ein 11 Bit-Zähler 206 um 1 hochgezählt, im Falle eines Unterlaufs (Wechsel von 00000 auf 11111) wird der Zähler 206 heruntergezählt. Gleichzeitig wird ein Überlauf- bzw. Unterlaufstest des 11 Bit-Zählers 206 durchgeführt. Sofern ein Überlauf oder Unterlauf des 11 Bit-Zählers 206 vorliegt, wird die Addition bzw. Subtraktion ausgesetzt. Der 11 Bit-Zählerstand des Phasendifferenzakkumulators 22 und die 5 Bit-Phasendifferenz des Phasenkomparators 18 wird in dem Phasendifferenzakkumulator 22 als 16 Bit-Wert gespeichert und steht am Ausgang des Phasendifferenzakkumulators 22 zur Verfügung.

Der schaltungstechnische Aufbau des Phasendifferenzakkumulators 22 ist in Figur 2 im einzelnen dargestellt. Die 5-Bit-Grund-Phasendifferenz (entsprechend maximal  $4\pi$ ) vom Phasenkomparator 18 wird einem Komparator 200 einmal direkt und einmal über einen Buffer 202 zugeführt. Gleichzeitig wird diese Grundphasendifferenz den fünf niederwertigsten Bits eines Ausgangsbuffers 204 mit einer Gesamtwortbreite von 16 Bit zugeführt.





Der Komparator 200 verfügt über zwei Ausgänge Überlauf (OV) und Unterlauf (UR). Diese beiden Ausgänge sind mit den Eingängen Hochzählen (INC) und Herunterzählen (DEC) eines 11 Bit-Zählers 206 verbunden. Der Zählerstand des Zählers 206 wird in die elf höchstwertigen Bits des Ausgangsbuffers 204 übertragen. Somit liegt am Ausgang des Ausgangsbuffers 204 des Phasendifferenzakkumulators 22 die akkumulierte Phasendifferenz in einer Wortlänge von 16 Bit vor. Der 16 Bit-Ausgangswert des Phasendifferenzakkumulators 22 wird einem Phasendifferenztransformer 24 zugeführt. Der Phasendifferenztransformer ermittelt aus der erweiterten Phasendifferenz (16 Bit, 2er-Komplement) die Eingangsgröße für einen weiteren Sigma-Delta-Modulator 26. Der Phasendifferenztransformer 24 wird hier verwendet, da der Sigma-Delta-Modulator 26 lediglich ein 6 Bit breites Eingangssignal verarbeitet. Im übrigen dient er der Einstellung der Reglercharakteristik der Schaltung. Dabei wird die Phasendifferenz in Frequenz-Modifikationsschritte (ppm) mit 6 Bit im 2er-Komplement transformiert. Dazu wird die Phasendifferenz zunächst durch einen programmierbaren Wert von 2 bis 256 geteilt. Mit dieser Operation kann die Eckfrequenz des P-Reglers variiert werden. Die erfindungsgemäße Schaltung kann so auf die unterschiedlichen Systemanforderungen bzw. Normen eingestellt werden. Anschließend wird die Phasendifferenz auf 6 Bit reduziert. Dazu werden die sechs niederwertigsten Bits der modifizierten Phasendifferenz unverändert an den Sigma-Delta-Modulator durchgereicht, solange der Wert der gesamten Phasendifferenz kleiner als +31 und größer als -32 ist. Andernfalls wird der Korrekturwert für den Sigma-Delta-Modulator 26 auf +31 bzw. -32 begrenzt.

Der Sigma-Delta-Modulator 26 steuert die eigentliche Phasenmodulationsdämpfung. Er ermittelt nämlich die Steuergröße für die Modifikation des REF-CLK mit 16,384 bzw. 12,352 MHz. Der Aufbau dieses Sigma-Delta-Modulators 26 ist in Figur 3 dargestellt. Ein 10 Bit-Register 302 verwaltet die Phasendifferenz zwischen dem tatsächlichen MCLK und dem von der Regelung ge-

wünschten MCLK. Der Wert, der mit jedem Takt zum Inhalt des Registers 302 addiert oder davon subtrahiert wird, ist direkt proportional zum Phasenfehler zwischen MCLK und dem von der Regelung gewünschten MCLK. Wenn der gesamte aufgelaufene Phasenfehler groß genug ist, löst der Sigma-Delta-Modulator 26 eine Taktkorrektur aus. Der Indikator dafür ist das Überlaufen des Registers.

In der hier dargestellten Ausführungsform der Erfindung kann der Teiler 16 und der Multiplexer 14 eine Periode des REF-CLK-Taktes um  $1/16$  Takt verlängern oder verkürzen. Dies entspricht  $1/16$  von  $1/16,384 \text{ MHz} = 61,04 \text{ ns}/16 = 3,81 \text{ ns}$  bzw.  $1/16$  von  $12,352 \text{ MHz} = 5,06 \text{ ns}$ . Bei der gewählten Größe des Registers 302 von 10 Bit kann ein Phasenfehler von 1024 aufsummiert werden, bis es zum Überlauf kommt. D.h., ein Phasenfehler von 1 in diesem Register 302 entspricht einem realen Phasenfehler zwischen dem Takt MCLK und dem gewünschten MCLK von  $3,81 \text{ ns} / 1.024 = 3,73 \text{ ps}$ . Die gewünschte Frequenz kann mit dem Eingangswert am Akkumulator eingestellt werden: Um so größer der Wert, um so größer die Phasenabweichung pro Takt zwischen dem gewünschten und dem realen MCLK, um so eher der Akkumulatorüberlauf, um so öfter eine Taktkorrektur.

Der Vorteil der Verwendung des Sigma-Delta-Modulators liegt darin, daß bei einer dynamischen Änderung der von der Regelung gewünschten Frequenz sich dieses sofort in der Phasenakkumulation widerspiegelt. Die bisher summierte Phasendifferenz zwischen dem realen und dem gewünschten MCLK wird nicht gelöscht, sondern direkt mit in die Korrekturansteuerung eingebunden.

Der verwendete Sigma-Delta-Modulator 26 ist in einer besonders bevorzugten Ausführungsform als Binäraddierer realisiert. Mit jedem Takt wird der am Eingang liegende, vom Phasendifferenztransformer 24 kommende Wert aufaddiert. Aus dem Über- oder Unterlauf des Registers 302 wird der Korrekturbefehl und die Korrekturrichtung dekodiert und an den Teiler 16

weitergereicht. Bei der Wahl des Teilungsfaktors 2 im Phasendifferenztransformer 24 ergibt sich der Proportionalfaktor der Regelung zu 7,6 ppm Frequenzveränderung pro  $2\pi/4$  Phasenabweichung zwischen MCLK und SYNC. Es ergibt sich folgende

5 Tabelle:

Phasenfehler in Zeiteinheiten im E1 Mode	Akku
-3,8 ns/2	0
10 0 ns	511
+3,8 ns/2	1023

(Kleinste Korrekturereinheit = 3,8 ns in E1/5,06 ns in T1.)

15 In Abhängigkeit von den durch den Sigma-Delta-Modulator 26 erzeugten Steuerbefehlen COMMAND und DIRECTION wird der Teiler 16 und der Multiplexer 14 dergestalt gesteuert, daß am Ausgang ein auf das Eingangssignal SYNC synchronisiertes Ausgangssignal MCLK vorliegt.

20

Der Multiplexer 14 schaltet eine der vier 65/49 MHz-Clock-Phasen weiter. Der Teiler 16 dividiert den 65/49 MHz-Takt durch 4 und bestimmt in Abhängigkeit von den Ausgangsgrößen des Sigma-Delta-Modulators 26 die erforderliche 65/49 MHz-Taktphase. Durch das Weiterschalten von einer Taktphase zur nächsten wird eine Verkürzung bzw. Verlängerung um jeweils 4

25 \* 65.536 MHz = 262,144 MHz entsprechend 3,8 nsec bzw. 4 \* 49,408 MHz = 197,632 MHz entsprechend 5,06 ns in T1 erreicht.

30 Das Ausgangssignal des Teilers 16 ist ein 16,384 / 12,352 MHz-Takt (MCLK), der relativ zu der vorhergehenden Clock-Periode verkürzt, verlängert oder auch gleich ist. Der Eigenjitter beträgt nur 0,0078 UI.

35 In Figur 5 ist der Aufbau des Teilers 16 nochmals im einzelnen dargestellt. Das 65/49 MHz-Signal, welches vom Multiplexer kommt, wird einem 2 Bit-Zähler 502 zugeführt. Dessen MSB

liefert das Signal MCLK und gleichzeitig den Zeitpunkt, zu dem ein Schieberegister 504 freigeschaltet ist. Das Schieberegister ist vierstellig und enthält stets eine 1 und sonst nur Nullen. Die vier Ausgänge des Schieberegisters dienen der Steuerung des Multiplexers 14, in dem jeweils nur diejenige Phase aus dem Multiphasentaktgenerator 12 durch den Multiplexer 14 an den Teiler 16 weitergeschaltet wird, deren zugeordneter Platz im Schieberegister mit "1" belegt ist. Die Steuerung des Schieberegisters erfolgt über die Befehle DIRECTION und COMMAND vom Sigma-Delta-Modulator 26.

Die Funktion ist folgendermaßen: Sobald von dem Zähler 502 das "Zeitpunkt"-Signal am Schieberegister 504 eintrifft, werden die Eingänge für DIRECTION und COMMAND freigegeben. Sofern der COMMAND-Eingang auf Null liegt, verändert sich das Schieberegister 504 nicht. Ist der COMMAND-Eingang aktiv, wird abhängig von dem Status des DIRECTION-Eingangs die 1 um eine Stelle nach links oder nach rechts verschoben.

Die Figur 1a zeigt ein detaillierteres Blockschaltbild der erfindungsgemäßen Schaltung, bei der die interne Arbeitsfrequenz reduziert ist, um mit weniger schnellen Komponenten auszukommen. Hierzu wird der Takt MCLK durch einen weiteren Teiler 30 durch acht geteilt, so daß statt des MCLK-Takts von 16,384 bzw. 12,352 MHz ein Takt von 2,048 bzw. 1,544 MHz vorliegt. Dieser Takt wird dann als Arbeitstakt dem Phasendifferenzakkumulator 22 und dem Sigma-Delta-Modulator 26 zugeführt. Automatisch wird damit auch die Arbeitsgeschwindigkeit des Phasendifferenztransformers 24 entsprechend herabgesetzt. In diesem Fall müssen jedoch die Ausgangssignale des Sigma-Delta-Modulators 26 zur Ansteuerung des Teilers 16 wieder auf die nominale Frequenz von 16,384 bzw. 12,352 MHz heraufgesetzt werden. Die Signale COMMAND und DIRECTION sind daher zur Anpassung auf den Takt MCLK über einen Flankendetektor 32 geführt, der zwischen dem Sigma-Delta-Modulator 26 und dem Teiler 16 geschaltet ist. Dieser Flankendetektor wird von dem Signal MCLK angesteuert.

Die vorliegende Schaltung soll für Schaltungen gemäß den E1 / T1-Normen eingesetzt werden. Es können daher folgende Konstellationen auftreten:

REF-CLK (interner Arbeitstakt) = 16,384 MHz, SYNC = 2,048 oder 1,544 Mhz;

REF-CLK = 12,352 MHz, SYNC = 2,048 oder 1,544 Mhz.

In den Fällen, in denen  $\text{SYNC} \neq 1/8 \text{ REF-CLK}$  ist, muß eine Konversion der Datenraten von 2,048 auf 1,544 MHz oder umgekehrt durchgeführt werden. Hierzu wird zwischen den Eingang des Signals SYNC und den Phasenkomparator 18 der Sigma-Delta-Modulator 20 zur Taktratenumwandlung geschaltet, wie in den Figuren 1 und 1a dargestellt. Der Aufbau dieses Sigma-Delta-Modulators ist in Figur 4 detaillierter dargestellt. Dabei ist also eine taktsynchrone Frequenzteilung um jeweils einen nicht-ganzzahligen Teilerfaktor erforderlich.

Diese wird folgendermaßen realisiert:

1. Umwandlung 2,048 --> 1,544 MHz:

In diesem Fall liegt an REF-Clock eine Frequenz von 16,384 MHz an. Dies entspricht der 8-fachen Frequenz von 2,048 MHz. Über SYNC wird ein 1,544 MHz-Takt vorgegeben. Es gilt:  $16,384 / 1,544 = 10,611399$ . Um diesen nicht ganzzahligen Teilerfaktor zu realisieren, wird abwechselnd der Teilerfaktor 10 und 11 gewählt. Wann welcher Divisor angewendet wird, entscheidet das "Vorzeichen" VZ des Sigma-Delta-Modulators. Für diesen Fall sind in Figur 4 folgende Werte einzusetzen:  $m = 21,5$ ,  $k = 96,5$ .

Wenn das Register des Sigma-Delta-Modulators negativ ist, wird zum Register  $m + k = 118$  addiert, im positiven Fall werden  $m - k = -75$  addiert, also 75 subtrahiert. Die Häufigkeit,

12

mit der durch 11 geteilt werden muß, um diesen nicht-ganzzahligen Teilerfaktor von 10,611399 zu realisieren, ergibt sich aus  $118/(118+75)$ ; die Häufigkeit für den Teilerfaktor 10 ergibt sich zu  $75/(118+75)$ . Der Gesamtteilerfaktor ergibt sich somit zu:

$$11 * 118(118+75) + 10 * 75(118+75) = 10,611399.$$

2. Für die umgekehrte Konversion von 1,544 --> 2,048 MHz gilt: REF-CLK = 12,352 MHz; SYNC = 2,048 Mhz. Es ergibt sich somit  $12,352 / 2,048 = 6,03125$ :

Es muß also abwechselnd durch 6 und 7 geteilt werden. Dazu ist in diesem Falle  $m = -45$  und  $k = 48$  zu wählen. Damit gilt: Wenn das Register negativ ist, wird  $m + k = 3$  addiert, andernfalls werden  $m - k = -93$  addiert, also 93 subtrahiert.

Zur weiteren Vereinfachung der Schaltung wird die Teilung indirekt im Phasenkomparator 18 durchgeführt, indem der additive Faktor von 8, der bei erkannter SYNC-Flanke zum Akkumulator hinzu addiert wird, für die Taktratenumwandlung durch die Faktoren 10 und 11 bzw. 6 und 7 ersetzt wird. Der Sigma-Delta-Modulator 20 wählt also lediglich die Zahl aus, die im Phasenkomparator 18 jeweils addiert werden muß.

Sofern MCLK und SYNC ganzzahlige Vielfache sind, arbeitet der Sigma-Delta-Modulator 20 nicht und es werden im Phasenkomparator stets 8 addiert.

Durch die hier beschriebene Ausführungsform der Erfindung wird der empfangene Jitter des SYNC-Signals gemäß einer P-Reglercharacteristik mit 20 db/Dekade gedämpft.

Die Erfindung ermöglicht damit folgende Vorteile:

- Lineare Jitter-Dämpfung

- unabhängiges Korrekturintervall zur aktuellen Phasendifferenz
- zeitkontinuierliches Erfassen und Auswerten der Phasendifferenz
- 5 - höhere Dynamik als bisherige digitale Konzepte
- in Grenzsituationen größere Genauigkeit
- optimales Jitter-Reduktionsverhalten
- sehr geringer schaltungsimmanenter (Intrinsic) Jitter
- keine externen Komponenten erforderlich
- 10 - keine Analog-Schaltung erforderlich
- geringer Platzbedarf auf einem IC (small silicon area)
- geringer Leistungsverbrauch
- Verwendung preisgünstiger Frequenzsynthesizer möglich.

## Patentansprüche

1. Digital gesteuerte Schaltung zur Verringerung der Phasenmodulation eines Signals (SYNC) mit einem Vielphasen-Taktgenerator (12), der n-Phasen eines Takts (REF-CLK) erzeugt, der das m-fache des Signals (SYNC) beträgt und einem Multiplexer (14) mit n-Eingängen für die n-Phasen des Takts (REF-CLK) und einem Ausgang, der das Ausgangssignal (MCLK) liefert, dadurch gekennzeichnet, daß das Ausgangssignal (MCLK) und das Signal (SYNC) mit den Eingängen eines Phasenkomparators (18) verbunden sind, dessen Ausgangssignal einem Sigma-Delta-Modulator (26) zugeführt wird, dessen Ausgangssignale (command, direction) zur Steuerung des Multiplexers (14) dienen.

15

2. Schaltung nach Anspruch 1, dadurch gekennzeichnet, daß zwischen dem Phasenkomparator (18) und dem Sigma-Delta-Modulator (26) ein Phasendifferenz-Akkumulator (22) und ein Phasendifferenz-Transformer (24) angeordnet ist.

20

3. Schaltung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß das Signal (SYNC) über einen weiteren Sigma-Delta-Modulator (20) zur Taktratenumwandlung dem entsprechenden Eingang des Phasenkomparators (18) zugeführt wird.

25

4. Schaltung nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß die Ausgangssignale (command, direction) des Sigma-Delta-Modulators (26) über eine Flankenerkennungsschaltung (32) dem Multiplexer (14) zugeführt werden, die von dem Ausgangssignal (MCLK) angesteuert wird.

30

5. Schaltung nach Anspruch 4, dadurch gekennzeichnet, daß das Ausgangssignal (MCLK) einer Teilerschaltung (30) zugeführt wird, deren Aus-

35



gangssignal den Phasendifferenz-Akkumulator (22) und den Sigma-Delta-Modulator (26) ansteuert.

6. Schaltung nach Anspruch 5,

5 dadurch gekennzeichnet, daß das Teilerverhältnis der Teilerschaltung (30) dem Verhältnis von dem Ausgangssignal (MCLK) zu dem Signal (SYNC), gegebenenfalls nach der Taktratenumwandlung durch den weiteren Sigma-Delta-Modulator (20), entspricht.

10

7. Schaltung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß der Sigma-Delta-Modulator (26) als Binäraddierer ausgeführt ist, der die vom Phasenkomparator (18) kommenden Werte aufaddiert, und die Überlauf- bzw. Unterlaufausgänge des Addierers zur Erzeugung der Korrekturbefehle (command, direction) dienen.

15

8. Schaltung nach einem der Ansprüche 2 bis 7, dadurch gekennzeichnet, daß der Phasendifferenz-Akkumulator (22) eine Schaltung (200) zur Erkennung eines Über- oder Unterlaufes des Phasendetektors (18) aufweist, deren Ausgang mit einem Zähler (206) verbunden ist, der bei jedem Überlauf hoch- und bei jedem Unterlauf heruntergezählt wird.

20

9. Schaltung nach einem der Ansprüche 1 bis 8, dadurch gekennzeichnet, daß als Wert für m und n jeweils 4 gewählt ist.



## Zusammenfassung

Digital gesteuerte Schaltung zur Verringerung der Phasenmodulation eines Signals

5

Digital gesteuerte Schaltung zur Verringerung der Phasenmodulation eines Signals (SYNC) mit einem Vielphasen-Taktgenerator (12), der n-Phasen eines Takts (REF-CLK) erzeugt, der das m-fache des Signals (SYNC) beträgt und einem Multiplexer (14) mit n-Eingängen für die n-Phasen des Takts (REF-CLK) und einem Ausgang, der das Ausgangssignal (MLCK) liefert, wobei das Ausgangssignal (MCLK) und das Signal (SYNC) mit den Eingängen eines Phasenkomparators (18) verbunden sind, dessen Ausgangssignal einem Sigma-Delta-Modulator (26) zugeführt wird, dessen Ausgangssignale (command, direction) zur Steuerung des Multiplexers (14) dienen. Ein verjittertes Eingangssignal (SYNC) wird in dem Phasenkomparator mit einem Master-Takt (MCLK) verglichen. Die ermittelte Phasendifferenz wird in einem Sigma-Delta-Modulator integriert. Ziel der Schaltung ist es, einen entjitterten Clock digital und ohne die Nutzung externer Komponenten zu generieren. Durch diese Schaltung wird der empfangene Jitter des SYNC-Signals gemäß der P-Reglercharakteristik mit 20 db/Dekade gedämpft.

10

15

20

25

Figur 1.



114

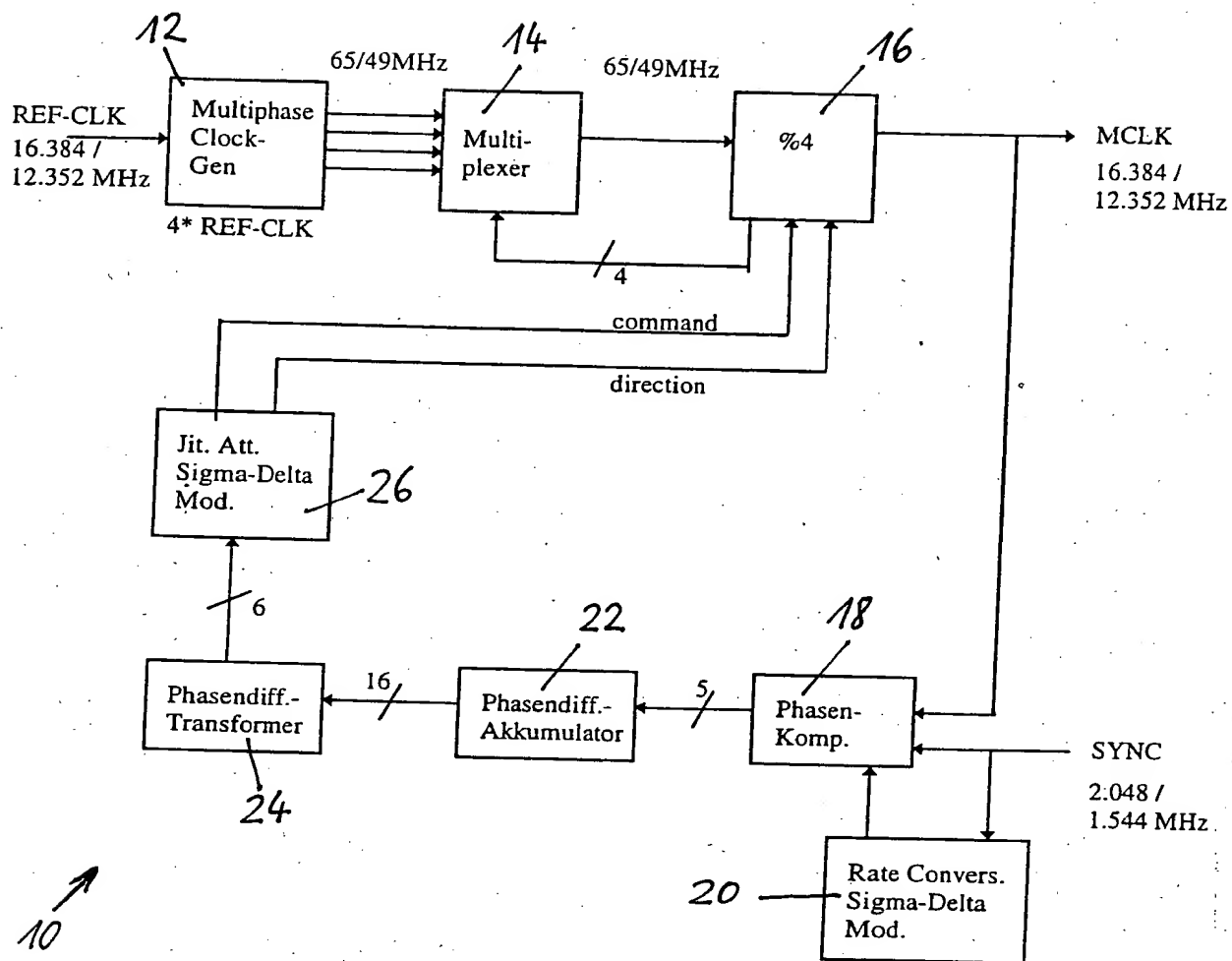


Fig. 1

214

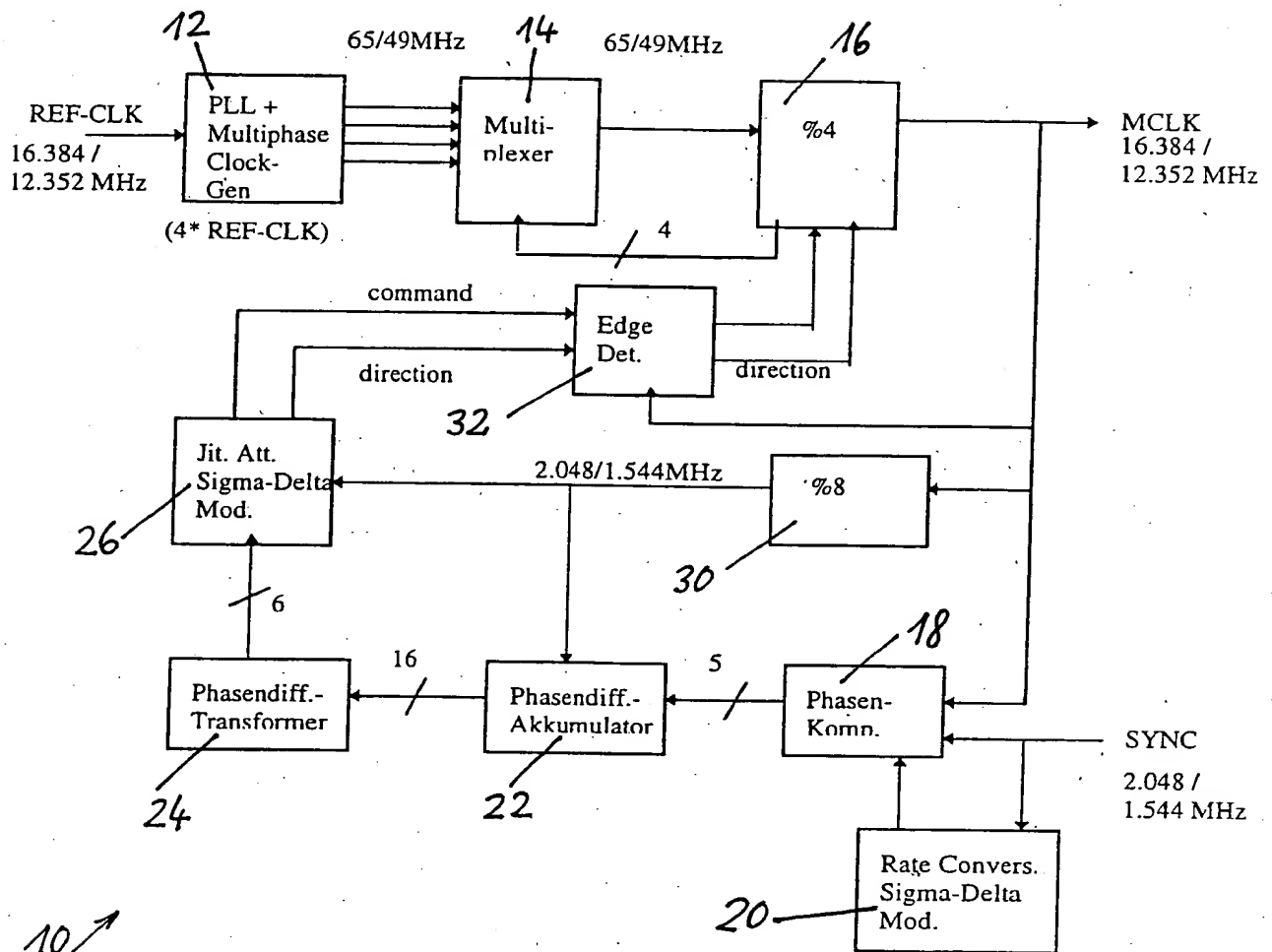
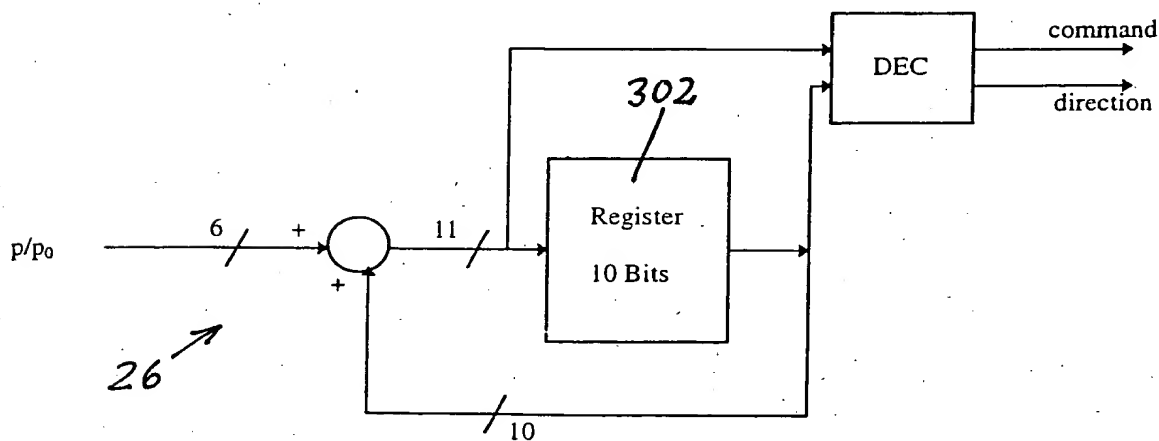
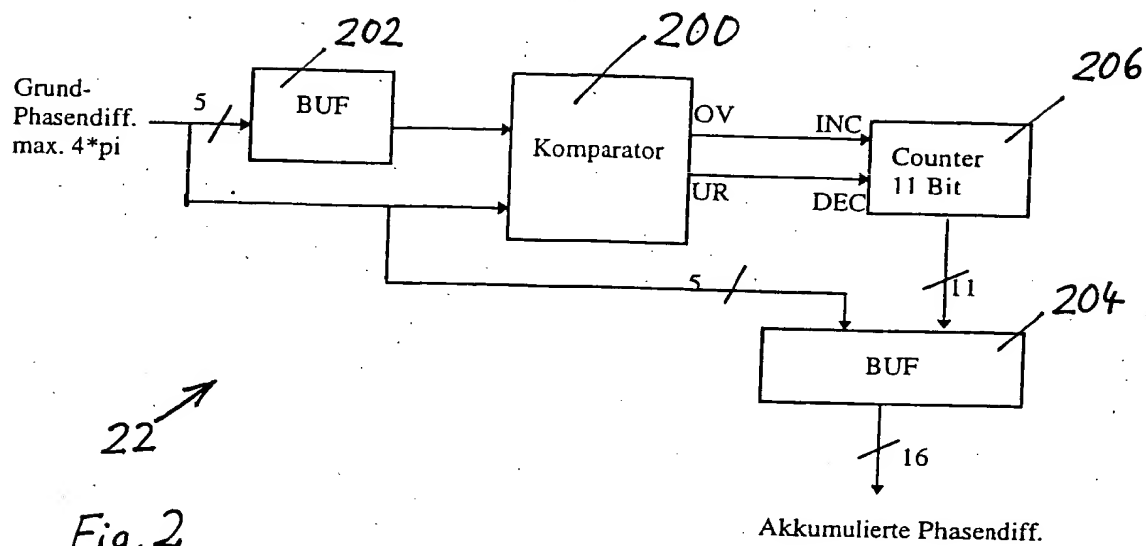
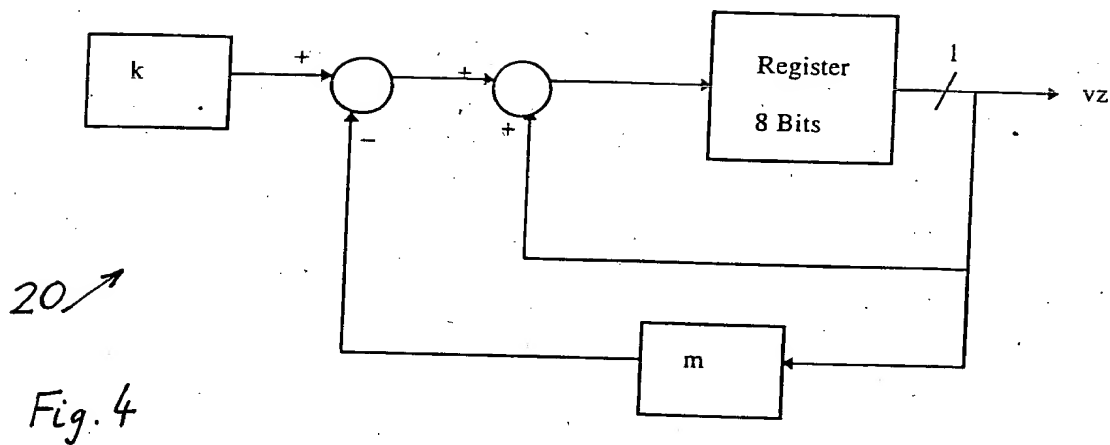


Fig. 1a

3/4



414



20 ↗

Fig. 4

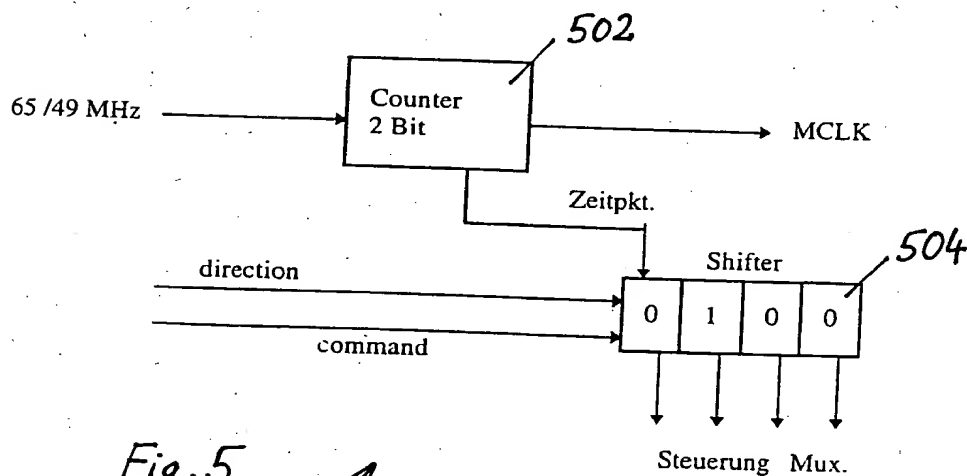


Fig. 5

↗  
16